

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-192195

(43)Date of publication of application : 27.07.1990

(51)Int.Cl.

H05K 1/14  
H01L 21/603  
H01R 9/09

(21)Application number : 01-011023

(71)Applicant : SHARP CORP

(22)Date of filing : 19.01.1989

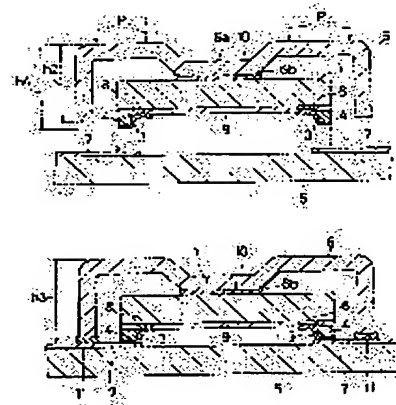
(72)Inventor : YAMAMURA KEIJI  
MATSUBARA KOJI  
SHIN HISASHI  
NUKUI TAKASHI

## (54) CONNECTION STRUCTURE OF PLURAL CIRCUIT BOARDS

## (57)Abstract:

PURPOSE: To enable the formation of connecting electrodes at a fine pitch by a method wherein a first circuit board is fixed to a second circuit board previously provided with a connecting electrode in a pressure-welded state.

CONSTITUTION: A semiconductor device 1 and a sealing cover 6 are made to face a circuit board 5 making a connecting electrode 3 of the semiconductor device 1 confront a connecting electrode 7 of the circuit board 5, and the electrodes 3 and 7 are pressure-welded to each other in the direction of an arrow P as they are mutually aligned. A joining photosetting adhesive agent 11 is injected between the sealing cover 6 and the circuit board 5 in the pressure welding state, and the semiconductor device 1 and the sealing cover 6 are mounted on the circuit board 5 by setting the adhesive agent 11 through irradiation with ultraviolet rays. In this state, the semiconductor device 1 is electrically connected with the circuit board 5 as the connecting electrode 3 is pressure-welded to the connecting electrode 5 with the sealing cover 6. By this setup, the electrodes 3 and 7 positioned at a fine pitch can be connected with each other.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection][Date of requesting appeal against examiner's decision of  
rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-192195

⑬ Int. Cl.<sup>5</sup>

H 05 K 1/14  
H 01 L 21/603  
H 01 R 9/09

識別記号

H  
A  
C

庁内整理番号

8727-5E  
6918-5F  
6901-5E

⑭ 公開 平成2年(1990)7月27日

審査請求 未請求 請求項の数 1 (全8頁)

⑮ 発明の名称 複数の回路基板の接続構造

⑯ 特 願 平1-11023

⑰ 出 願 平1(1989)1月19日

⑱ 発 明 者 山 村 圭 司 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内  
⑲ 発 明 者 松 原 浩 司 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内  
⑲ 発 明 者 新 久 司 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内  
⑲ 発 明 者 貫 井 孝 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内  
⑲ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号  
⑲ 代 理 人 弁理士 西教 圭一郎 外1名

明 細 書

1. 発明の名称

複数の回路基板の接続構造

2. 特許請求の範囲

少なくとも一方表面に回路配線が形成された基材と、前記回路配線に接続領域で電気的に接続され、残余の領域で上記基材から弾性および電気絶縁性を有する介在体を介在して離隔した接続用電極とを含む第1回路基板と、

第1回路基板上の接続用電極の前記残余の領域と対応する位置に接続用電極が形成された第2回路基板とを含み、

第2回路基板の接続用電極に第1回路基板の接続用電極の上記残余の領域を対向させて、これらを圧接した状態で固定するようにしたことを特徴とする複数の回路基板の接続構造。

3. 発明の詳細な説明

産業上の利用分野

本発明は、たとえば半導体素子などが形成された集積回路基板と、プリント基板、フレキシブル

基板、ガラス基板、あるいはセラミック基板などの回路基板とを電気的に接続するために好適に実施される複数の回路基板の接続構造に関する。

従来の技術

近年、IC(Integrated Circuit)などの半導体集積回路基板の集積度の増加に伴って入出力端子数も増大する傾向にある。これを受けて従来行われていたような、半導体基板の入出力端子を配線基板の電極に、金やアルミニウムなどの導線を用いて電気的に接続するワイヤボンディング方式に変わって、半導体基板上の入出力端子に突起状の電極を設けて配線基板上の電極に一括して接続するフリップチップ方式が行われている。

このフリップチップ方式によって、電極の接続を半田付けではなく圧接によって行うことは、次の(a)～(c)などの利点を有する。

(a) 接続時において半導体基板と回路基板とを加熱する必要がないので、半導体基板および回路基板を熱によって損傷することがない。

(b) 半田付けによる接続を行わないので、回

路基板の電極材料が銀半田金属材料に限定されない。

(c) 半導体基板は回路基板に対して圧接によって固定されるだけであるから、接続後に半導体基板の回路素子に不良が生じた場合の半導体基板の交換が容易に可能である。

このような利点から、導電性コネクタを介して圧接する方法、金属材料から形成した突起電極を圧接する方法など、近年、様々な方法が提案されている。

たとえば特開昭61-242041、特開昭61-259548、特開昭63-150930においては、弾性を有する導電性の突起電極を回路基板上に形成する方法が開示されている。このような弾性および導電性を有する突起電極を用いることによって、接続部に前記導電性コネクタなどの中間介在物を介在させる必要がない。さらに突起電極自体が弾性を有するので、突起電極が有する高さの不揃いや接続される回路基板の「うねり」などを圧接時にこの弾性によって吸収させること

ができる。

発明が解決しようとする課題

上述の方法においては全て、スクリーン印刷などの印刷法や、回路基板上に形成する突起電極の位置に対応して透孔が形成されたマスク板を介した光照射によって、回路基板上に予め塗布された導電性インクを選択的に硬化させる方法で突起電極を形成している。印刷法やマスク板を用いたフォトリソグラフィ法では、微小なピッチ幅を有する電極に対応して微小な突起電極を形成することは困難である。したがって微小ピッチ幅を有する電極間を相互に接続することができないという問題点があった。

本発明の目的は、上記した問題点を解決して微細ピッチ幅を有する電極間を相互に接続することができるようにした複数の回路基板の接続構造を提供することである。

課題を解決するための手段

本発明は、少なくとも一方表面に回路配線が形成された基材と、前記回路配線に接続領域で電気

-3-

的に接続され、残余の領域で上記基材から弾性および電気絶縁性を有する介在体を介在して離間した接続用電極とを含む第1回路基板と、

第1回路基板上の接続用電極の前記残余の領域と対応する位置に接続用電極が形成された第2回路基板とを含み、

第2回路基板の接続用電極に第1回路基板の接続用電極の上記残余の領域を対向させて、これらを圧接した状態で固定するようにしたことを特徴とする複数の回路基板の接続構造である。

作用

本発明においては、第1回路基板の基材の少なくとも一方表面に回路配線が形成され、この回路配線に接続用電極の接続領域が電気的に接続される。また接続用電極の残余の領域は、前記基材に弾性および電気絶縁性を有する介在体を介在して離間して設けられる。また第2回路基板には、第1回路基板上の接続用電極の前記残余の領域と対応する位置に接続用電極が形成される。このような構成を有する第1回路基板の接続用電極の上記

残余の領域は、第2回路基板の接続用電極に対向され、これら第1および第2回路基板は相互に圧接した状態で固定される。

したがって本発明によれば、第1回路基板上に前記介在体を介在して接続用電極を微細ピッチで形成することが可能である。また第1および第2回路基板の各接続用電極の高さの不揃いや回路基板の「うねり」などは、圧接時の介在体の弾性変形によって吸収され、安定した均一な接続構造を得ることができる。また第1および第2回路基板の少なくとも一方の回路基板に実装された電子部品に不良が発生した場合などにおいては、容易に他方の回路基板から一方の回路基板を取去って、不良のない新たな回路基板と交換することができる。

実施例

第1図は、本発明に従う第1回路基板である半導体装置1の斜視図である。半導体装置1は、後述される回路配線が形成された基材である基板2上に、前記回路配線の接続領域で電気的に接続さ

-5-

-6-

れた接続用電極 3 が、基板 2 上に弾性および電気絶縁性を有する介在体 4 を介在して離間した状態で後述される方法に従って形成されている。

第 2 図は、半導体装置 1 が第 2 回路基板である回路基板 5 に実装された状態を示す斜視図である。第 2 図においては、半導体装置 1 の実装状態を明示するために半導体装置 1 および封止用カバー体 6 の図面手前を破断して示す。回路基板 5 上には、半導体装置 1 の接続用電極 3 と対応する位置に接続用電極 7 が形成されている。したがってこの回路基板 5 の各接続用電極 7 に半導体装置 1 の対応する各接続用電極 3 が対向し、これら半導体装置 1 および回路基板 5 は圧接状態で固定されている。封止用カバー体 6 の上面には凹部 6 a が形成されており、半導体装置 1 はこの封止用カバー体 6 の凹部 6 a によって回路基板 5 側に押圧されて圧接されている。

第 3 図は第 1 図の切断面線 III-III から見た断面図であり、第 4 図は第 3 図の一部拡大断面図である。半導体装置 1 の基板 2 は、シリコンあるいは

ガリウムヒ素などのウエハ上に拡散層が形成され、これによって多数のトランジスタやダイオードなどが形成された半導体集積回路を構成している。半導体装置 1 は、基板 2 の最上層に電極 8 が形成され、この電極 8 の接続用電極 3 が形成される接続領域以外の部分には、たとえば SiN、SiO<sub>2</sub>、PSG (ガラス)、あるいはポリイミドなどからなる表面保護層 9 が被覆されている。また基板 2 の被覆された表面保護層 9 の周縁部には、弾性および電気絶縁性を有する介在体 4 が所定の厚み  $\ell_1$  で形成されている。この介在体 4 および表面保護層 9 から露出した電極 8 表面には、接続用電極 3 が後述の方法によって、たとえば第 1 図および第 4 図などに示される形状で形成されている。

介在体 4 としては、硬化後弾性体となる電気絶縁性樹脂、たとえばシリコン系樹脂、ポリイミド系樹脂などが用いられる。また接続用電極 3 としては、たとえば Al、Ti、Cu-Ni 合金、Au などからなる多層構造を有する金属膜によって構成される。

-7-

介在体 4 は、半導体装置 1 の基板 2 上に予め光硬化性樹脂をたとえばスピンコートあるいはロールコートなどの方法によって一様に塗布する。この塗布された光硬化性樹脂を、第 1 図に示されるように基板 2 上の周縁部のみが硬化されるように選択的に造孔が形成されたマスク板を介して紫外線を照射する。これによって基板 2 上の周縁部のみが硬化され、周縁部によって囲まれる領域は未硬化の状態とされる。この未硬化の領域を、現像液を用いてエッチングすることによって、たとえば  $\ell_1 = 10 \sim 20 \mu\text{m}$  の厚さを有する所定の形状の介在体 4 として形成することができる。

この介在体 4 の厚み  $\ell_1$  が  $10 \sim 20 \mu\text{m}$  よりも薄い場合、たとえば  $\ell_1 = 1 \sim 3 \mu\text{m}$  程度では、半導体装置 1 が回路基板 5 上に実装される際に電極 3、7 が有する凹凸を介在体 4 によって吸収することができず、したがって半導体装置 1 と回路基板 5 との密着性が悪くなってしまう。また  $\ell_1$  が厚い場合、たとえば  $\ell_1 = 50 \mu\text{m}$  程度では、光硬化性樹脂からなる介在体 4 を紫外線などによっ

て選択的に硬化する際にその境界部分が不鮮明となり、したがってパターン形成の精度が低下してしまう。

半導体装置 1 の基板 2 上には、上述した介在体 4 の形成が行われた後に接続用電極 3 の形成が行われる。接続用電極 3 は、たとえば Al、Ti、Cu-Ni 合金、Au からなる多層構造を有する金属膜によって形成される。このうち Al 層、Ti 層、Cu-Ni 合金層などは、半導体装置 1 の基板 2 上に、予めたとえば蒸着法やスパッタリング法などの薄膜形成技術を用いて所定の厚さに一様に形成する。次に、これらの金属層上に、たとえばスピンコートなどの方法によってフォトリジスト層を形成し、所定の温度でアブリベークした後、接続用電極 3 を形成したい部分のみ選択的にパターン形成したマスク板を用いてフォトリジスト層を露光し、所定の現像液を用いてフォトリジストパターンを形成する。次に、このフォトリジストパターンをマスクとして各金属層を順次エッチングし、フォトリジスト層を剥離することによって

-9-

-10-

所定の金属層パターンを形成する。さらにこれら金属層の最上部には、Au層がたとえば無電解めっきによって形成される。

上記Al層は、層厚1000nm程度に形成することが好ましく、基板2上に形成されているAl電極8との密着性の観点からAlが用いられる。このAl層上に形成されるTi層は、層厚300nm程度が好ましく、耐食性およびAl層の酸化防止用として積層する。またCu-Ni合金層は、300nm程度が好ましく、後述されるAu層との密着性の観点からCuが用いられる。しかしCuだけでは酸化し易いために、NiとのCu-Ni合金として用いる。このようにAl層、Ti層、Cu-Ni合金層が形成された上には、さらに全体の酸化防止用としてAu層が、好ましくは1000nm程度の厚みで形成される。

第5図は上述のようにして接続用電極3が形成された半導体装置1を回路基板5に封止用カバークバー6を用いて実装する工程を示す断面図であり、第6図は半導体装置1が回路基板5上に実装され

た状態を示す断面図である。したがって第6図は、第2図の切断面線Ⅶ-Ⅶから見た断面図である。

予め介在体4が介在されて接続用電極3が形成された半導体装置1は、その接続用電極3が形成された面とは反対面が封止用カバークバー6の凹部6aの裏面である凸部6bに、たとえば常温硬化性の接着剤10を用いて接着される。この状態で、封止用カバークバー6に接合された半導体装置1の接続用電極3の高さh4を、封止用カバークバー6の高さh2よりも大きくするように設定する。

半導体装置1および封止用カバークバー6は、半導体装置1の接続用電極3が接続される回路基板5の接続用電極7と対向され、相互に位置合わせされた状態で矢印P方向に圧接される。この圧接状態で、封止用カバークバー6と回路基板5との間には接合用の光硬化性接着剤11が注入され、紫外線照射などを行って硬化させて半導体装置1および封止用カバークバー6を回路基板5上に実装する。この状態で、半導体装置1は、その接続用電極3が回路基板5の接続用電極7に封止用カバークバー6に

-11-

よって圧接されて電気的に接続される。したがって封止後の封止用カバークバー6の回路基板5に対する高さh3は、第5図に示した高さh2より大きく、また高さh4よりも小さい次式の範囲に設定される。

$$h2 < h3 < h4 \quad \dots (1)$$

第1式の状態で、半導体装置1の介在体4は弾性変形した状態にある。これによって半導体装置1や回路基板5の接続用電極3、7の高さの不揃い、あるいは回路基板5が有する「うねり」などといった不均一さを吸収することができ、半導体装置1と回路基板5の各接続用電極3、7の電気的接続を安定した均一な状態とすることができる。また半導体装置1に不良が発生した場合には、半導体装置1は回路基板5上に単に圧接されているだけであるから、容易に回路基板5から不良となった半導体装置1を取去って、不良のない新たな半導体装置1と交換することができる。

第7図は本発明の他の実施例である半導体装置12の斜視図であり、第8図は第7図の切断面線

-13-

-12-

Ⅷ-Ⅷから見た断面図であり、第9図は第8図の一部を詳細に示すための拡大断面図である。なお第1図～第6図に示した実施例と対応する部分については同一の参照符号を用いる。

半導体装置12の基板2上には予め電極8が形成されており、この電極8の接続領域以外の部分には表面保護層9が形成されている。さらに表面保護層9上には、第7図および第8図に示される形状で基板2上の周縁部に介在体4が形成されている。介在体4は、層厚 $t1 = 10 \sim 20 \mu m$ に設定される。この介在体4を介在して、第9図に示される形状で、その断面が略U字状に接続用電極13が形成されている。この接続用電極13は、第4図に示した接続用電極3と同様に、たとえばAl、Ti、Cu-Ni合金、Auなどからなる多層構造を有する金属薄膜によって形成される。第7図に示されるような形状で接続用電極13を半導体装置12の基板2上に形成することによって、第1図に示した半導体装置1と比較して、その接続用電極13の面積を縮小化することが可能

-14-

である。したがって半導体装置 1 2 の実装面積もまた縮小化される。

第 10 図は、第 7 図に示した半導体装置 1 2 が封止用カバーク 1 4 を用いて回路基板 5 上に実装された構造を示す断面図である。封止用カバーク 1 4 の凹所には、予め常温硬化性の接着剤 1 6 を用いてたとえばシリコーンゴムなどの弾性部材 1 5 が接着されている。この弾性部材 1 5 に対して、半導体装置 1 2 の接続用電極 1 3 が形成された面とは反対面を接着剤 1 7 を介して貼り合わせる。このようにして封止用カバーク 1 4 に接合された半導体装置 1 2 は、その各接続用電極 1 3 が回路基板 5 の接続用電極 7 と相互に位置合わせされた状態で圧接される。この圧接状態で、封止用カバーク 1 4 と回路基板 5 との間に光硬化性接着剤 1 1 が注入され、この光硬化性接着剤 1 1 の紫外線照射などによる硬化によって半導体装置 1 2 は回路基板 5 上に実装される。

本実施例では、半導体装置 1 2 の接続用電極 1 3 が有する高さの不揃いや回路基板 5 が有する「

うねり」などを、半導体装置 1 2 が回路基板 5 に圧接されることによって、介在体 4 および弾性部材 1 5 の弾性変形によって吸収させることができる。したがって半導体装置 1 2 の接続用電極 1 3 と回路基板 5 の接続用電極 7 とは、さらに安定した均一な状態で電氣的に接続されることになる。

上述した半導体装置 1, 1 2 に関する 2 つの実施例においては、形成される接続用電極 3, 1 3 や圧接時に用いる封止用カバーク 6, 1 4 の形状などが相互に異なるものを例示した。しかし本発明は、そのような各部材のいかなる組合せも含むものであり、かつ、そのような各部材の組合せや形状に限定されるものでもない。

#### 発明の効果

以上説明したように本発明に従えば、第 1 回路基板上に介在体を介在して接続用電極を微細ピッチ幅で形成することが可能となる。この第 1 回路基板が、予め接続用電極が形成された第 2 回路基板に対して圧接した状態で固定されることによって、第 1 および第 2 回路基板に形成された接続用

-15-

-16-

電極が有する高さの不揃いや回路基板が有する「うねり」などを介在体の弾性変形によって吸収させることができ、第 1 および第 2 回路基板は相互に安定した均一な状態で各接続用電極が接続される。また第 1 および第 2 回路基板は、相互に圧接した状態で固定されているだけであるから、たとえば第 1 回路基板に実装された電子部品に不良が発生した場合には、容易に第 1 回路基板を第 2 回路基板から取去って、不良のない新たな第 1 回路基板と交換することができる。

#### 4. 図面の簡単な説明

第 1 図は本発明の一実施例である半導体装置 1 の斜視図、第 2 図は半導体装置 1 の回路基板 5 への実装状態を示す斜視図、第 3 図は第 1 図の切断面線 III-III から見た断面図、第 4 図は第 3 図の一部拡大断面図、第 5 図は半導体装置 1 の回路基板 5 への実装工程を説明する断面図、第 6 図は半導体装置 1 の実装状態を示す断面図、第 7 図は本発明の他の実施例である半導体装置 1 2 の斜視図、第 8 図は第 7 図の切断面線 VIII-VIII から見た断面図、

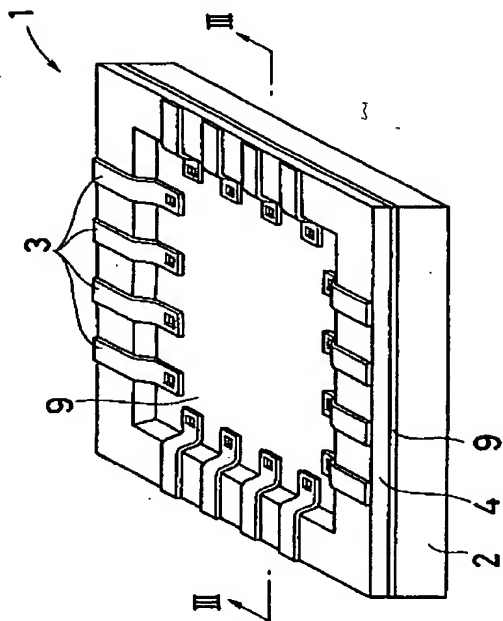
第 9 図は第 8 図の一部拡大断面図、第 10 図は半導体装置 1 2 の回路基板 5 への実装状態を示す断面図である。

1, 1 2 … 半導体装置、2 … 基板、3, 7, 1 3 … 接続用電極、4 … 介在体、5 … 回路基板、6, 1 4 … 封止用カバーク、8 … 電極、9 … 表面保護層、10, 1 1, 1 6, 1 7 … 接着剤、1 5 … 弾性部材、P … 圧接方向

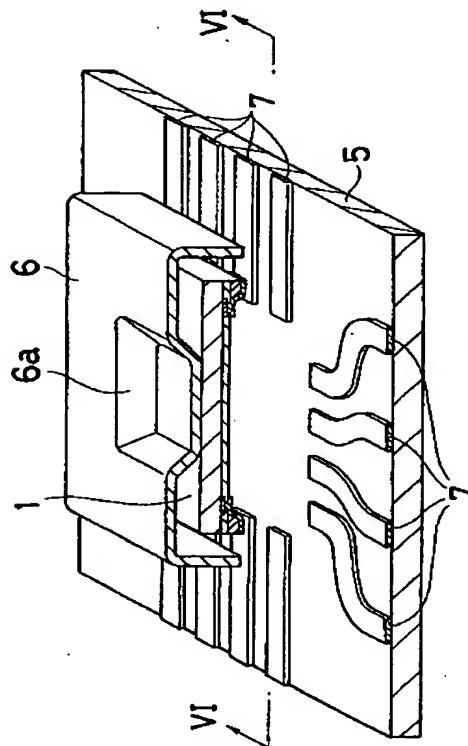
代理人 弁理士 西教 圭一郎

-17-

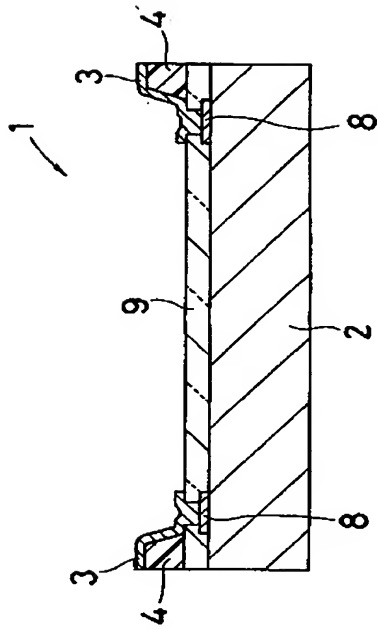
-18-



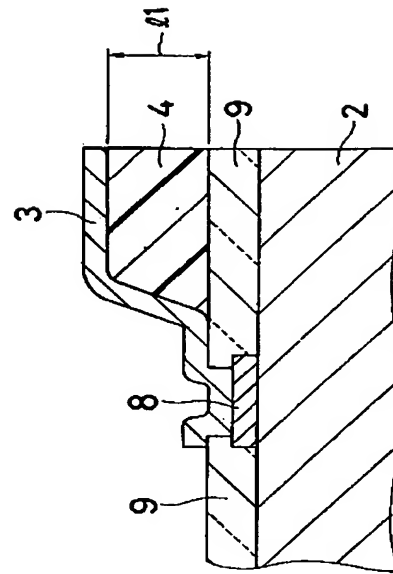
第 1 図



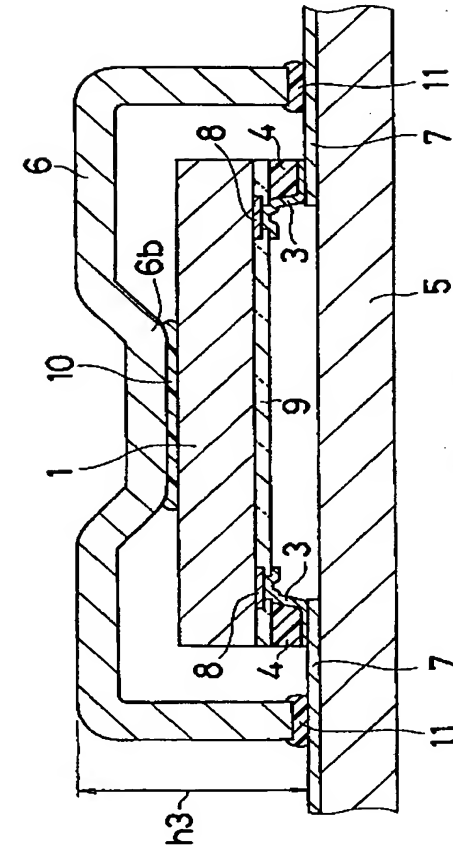
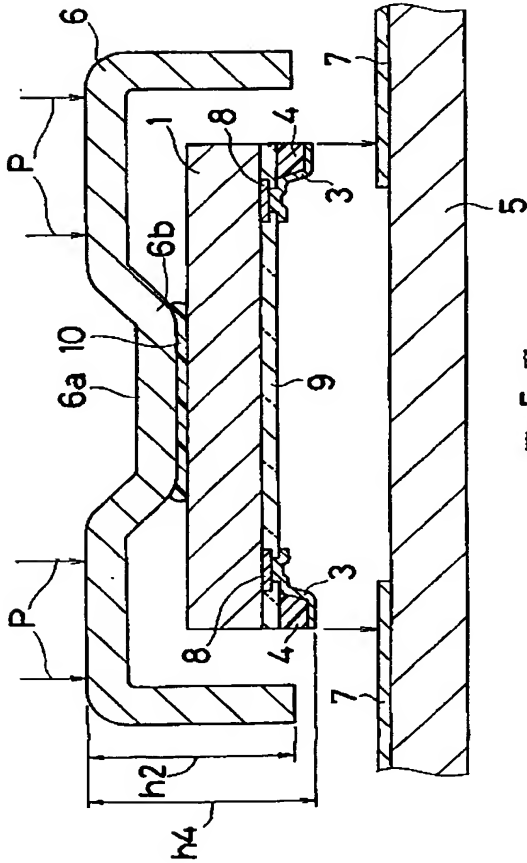
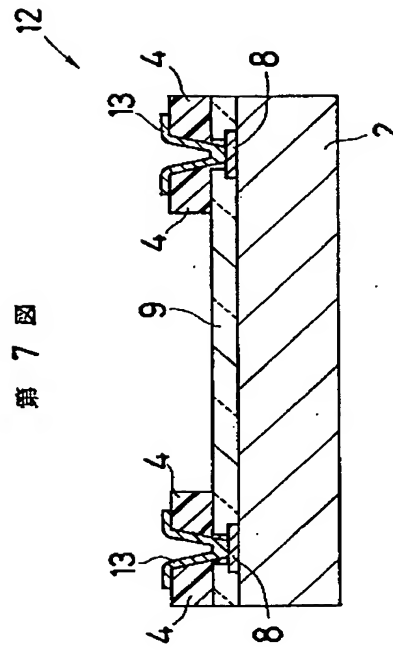
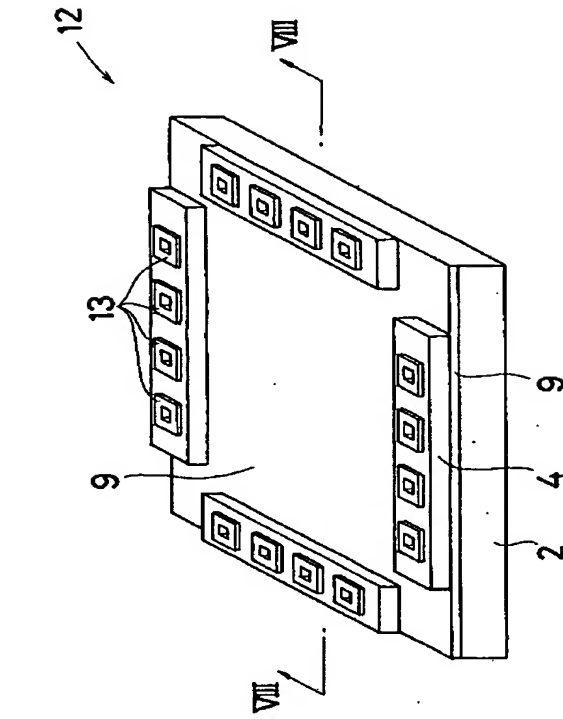
第 2 図



第 3 図



第 4 図

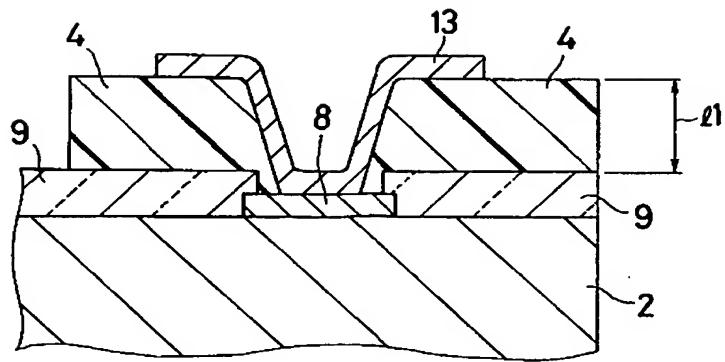


第 5 図

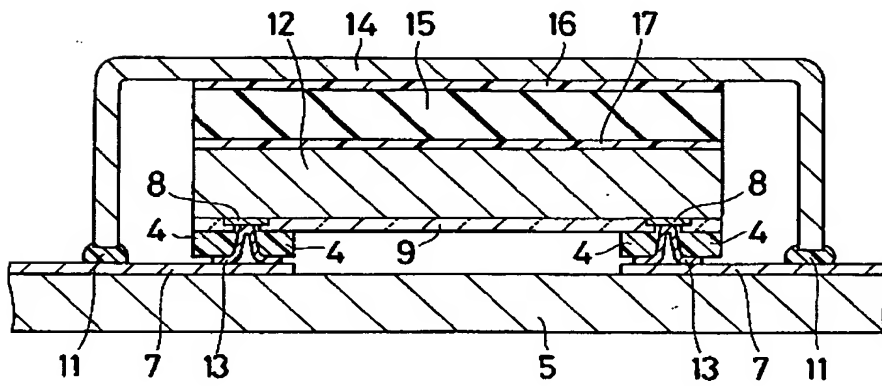
第 7 図

第 8 図





第 9 図



第 10 図

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**